

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-286639

(43)Date of publication of application : 01.11.1996

(51)Int.Cl. G09G 3/36
G02F 1/133

(21)Application number : 07-110179 (71)Applicant : SONY CORP

(22)Date of filing : 11.04.1995 (72)Inventor : UCHINO KATSUhide
MAEKAWA TOSHIICHI

(54) ACTIVE MATRIX DISPLAY DEVICE

(57)Abstract:

PURPOSE: To prevent potential fluctuation of a signal line in point sequential drive of an active matrix display device.

CONSTITUTION: The active matrix display device is constituted of a gate line G of a row shape, a signal line S of a column shape and a pixel LC of a matrix shape arranged on each crossing part of both. Further, the device is provided with a V shift register 1, and it line sequentially scans each gate line G, and selects pixels LC by one row at intervals of one horizontal period. Further, the device is provided with a horizontal scan circuit 4, and it successively samples a real video signal in each signal line S in one horizontal period, and it writes the real video signal in the sampled pixels LC by one row point sequentially. The device is provided with a precharge means 5 as a characteristic item, and it supplies a first precharge signal to all signal lines S all at once in a blanking period going ahead of the horizontal period, and it supplies

successively a second precharge signal to each signal line S going ahead of successive sampling of the real video signal for each signal line S during the horizontal period.

LEGAL STATUS [Date of request for examination] 31.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3424387

[Date of registration] 02.05.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The gate line of behavior, a train-like signal line, and the pixel of the letter of a matrix allotted to each intersection of both, The vertical-scanning circuit which carries out line sequential scanning of each gate line, and chooses the pixel for a party for every 1 level period, It is the active-matrix display which has the horizontal scanning circuit which writes a video signal in the pixel for the party chosen within the 1 level period by carrying out the sequential sampling of the video signal at each signal line by point sequential. The 1st precharge signals are supplied all at once to all signal lines at the blanking period preceded with a level period. The active-matrix display

characterized by having preceded with the sequential sampling of the video signal over each [in a level period] signal line furthermore, and having the precharge means which carries out sequential supply of the 2nd precharge signal at each signal line.

[Claim 2] Said precharge means is a active-matrix display according to claim 1 characterized by carrying out sequential supply of a video signal and the 2nd precharge signal which has the same wave substantially after carrying out simultaneous supply of the 1st precharge signal which has predetermined potential.

[Claim 3] It is the active-matrix display according to claim 1 which carries out [that said precharge means is equipped with two or more switching means linked to the edge of each signal line, and the control means which performs closing-motion control of each switching means, these control means carry out closing-motion control of two or more of these switches all at once at a blanking period, and supplies the 1st precharge signal to each signal line, carries out sequential closing-motion control of this switch of plurality / during / a level period /, and supplies the 2nd precharge signal to each signal line and] as the description.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a active-matrix display. It is related with the potential shake prevention technique of the video signal line in point sequential actuation in more detail.

[0002]

[Description of the Prior Art] With reference to drawing 6 , the configuration of the conventional active-matrix display is explained briefly. The active-matrix display has the liquid crystal pixel LC of the letter of a matrix allotted to each intersection of the gate line G of behavior, the train-like signal line S, and both. Each liquid crystal pixel LC is driven by the thin film transistor Tr. The V shift register (vertical-scanning circuit) 101 carries out line sequential scanning of each gate line G, and chooses the liquid crystal pixel LC for a party as every 1 level period (1H). the liquid crystal pixel LC for the party as which the H shift register (horizontal scanning circuit) 102 carried out the sequential sampling of the video signal at each signal line S, and was chosen within 1H -- a dot order -- next, a video signal is written in. While each signal line S is connected to a video line through the level switch HSW and supply of a video signal is received from the signal driver 103, the H shift register 102 outputs the level sampling pulses H1, H2, H3, --, Hn one by one, and, specifically, performs closing motion control of each level switch HSW.

[0003]

[Problem(s) to be Solved by the Invention] Drawing 7 expresses the wave of a sampling pulse. A sampling rate is accelerated as highly minute-ization of a active-matrix display progresses, and it is sampling pulse width-of-face τ_H . It comes to vary. A sampling hold is carried out at the signal line S with which the level switch HSW which corresponds if a sampling pulse is outputted is opened and closed, and a video signal corresponds from a video line. There is a capacity component in each signal line S, and charge and discharge arise by the sampling of a video signal. As a result, the potential of a BITEO line is changed. If a sampling rate accelerates to the appearance mentioned above, it is sampling pulse width-of-face τ_H . Since it varies, the charge and discharge to each signal line S are not fixed, and the potential of a video line shakes. This serves as a fixed pattern of a vertical reinforcement, and appears, and the technical problem that display image grace is spoiled remarkably occurs. Since a sampling rate serves as timing to which the following sampling pulse falls after the potential shake of a video line starts comparatively low in the display according to the usual NTSC standard, and it does not have an adverse effect on a front signal line, the fixed pattern of a vertical reinforcement does not appear. However, when it becomes HDTV and **** NTSC, as for a sampling rate, it is in a difficult situation to go up extremely and to suppress the potential shake of a video line effectively. Generally saprine GUPARUSU is created with H shift register which consisted of thin film transistors (TFT). Compared with a single crystal silicon transistor, since mobility is low and dispersion in a **** physical constant also has it, TFT is difficult to control to a precision the sampling pulse made in this circuit. [large] Moreover, in addition to dispersion in sampling pulse width of face, dispersion arises to some extent also in the on resistance of the level switch HSW. Since fluctuation arises in the charge-and-discharge property of a signal line S and the potential of a video line shakes by this, a actual video signal is overlapped, and this becomes vertical reinforcement-like, appears, and spoils the display grace of an image remarkably.

[0004]

[Means for Solving the Problem] This invention aims at controlling effectively the potential shake of the video line generated with improvement in the speed of a sampling rate in view of the technical problem of a Prior art mentioned above. The following means were provided in order to attain this object. That is, the active-matrix display concerning this invention is equipped with the gate line of behavior, the train-like signal line, and the pixel of the letter of a matrix allotted to each intersection of both as a fundamental configuration. Moreover, it has the vertical-scanning circuit, and line sequential scanning of each gate line is carried out, and the pixel for a party is chosen for every 1 level period. Furthermore it has the horizontal scanning circuit, and the sequential sampling of the video signal is carried out within a 1 level period at each

signal line, and a video signal is written in the pixel for the selected party by point sequential. It has the precharge means as a description matter of this invention, the 1st precharge signals are supplied all at once to all signal lines at the blanking period preceded with a level period, it precedes with the sequential sampling of the video signal over each [in a level period] signal line further, and sequential supply of the 2nd precharge signal is carried out at each signal line. Preferably, said precharge means carries out sequential supply of a video signal and the 2nd precharge signal which has the same wave substantially, after carrying out simultaneous supply of the 1st precharge signal which has predetermined potential. Said precharge means is equipped with two or more switching means linked to the edge of each signal line, and the control means which performs closing motion control of each switching means as a concrete configuration. These control means carry out closing motion control of these two or more switches all at once, supply the 1st precharge signal to each signal line, carry out sequential closing motion control of this switch of plurality [during / a level period], and supply the 2nd precharge signal to each signal line at a blanking period.

[0005]

[Function] According to this invention, the charge and discharge of each signal line are almost substituted for the 1st precharge signal and the 2nd precharge signal which were divided into two steps, and the charge and discharge in the case of sampling a actual video signal (following real video signal) have composition generated only in the difference of precharge level and signal level. Therefore, the potential shake of the video line which compares with the former and supplies a real video signal is controlled, and the fixed pattern of a vertical reinforcement which poses an image grace top problem can be removed. Especially, the two-step method is precharged, the 1st precharge signals are first supplied all at once to all signal lines at a blanking period, and rough charge and discharge are performed. For this reason, the 1st precharge signal has the fixed potential of a gray level. Then, it precedes with the sequential sampling of the real video signal over each [in a level period] signal line in the 2nd step, sequential supply of the 2nd precharge signal is carried out at each signal line, and fine charge and discharge are performed. For this reason, the precharge video signal with which the 2nd precharge signal has the same wave substantially with a real video signal is used. Thus, the potential shake of a video line can be notably controlled by dividing rough charge and discharge and fine charge and discharge into two steps, and performing them. When only simultaneous precharge of the 1st precharge signal of a gray level is performed and a real video signal is near a white level or the black level temporarily, the still big potential difference arises from the gray level obtained by simultaneous precharge. Therefore, the situation inadequate for controlling the potential shake of a video line arises. Moreover, if only point sequential precharge of the 2nd precharge signal is performed, a potential shake

arises in this very thing. That is, by point sequential precharge, the potential of a gate line affects a shake to the potential of a signal line, this affects it by capacity coupling between a signal line and a gate line, and image degradation of shading etc. arises. As mentioned above, only by one side of simultaneous precharge and point sequential precharge, it is difficult to prevent deterioration of image grace thoroughly, and nonconformities, such as a vertical reinforcement and shading, can be removed only after using both together.

[0006] Furthermore, the ON time amount of the level switch linked to each signal line doubles equivalent by preceding with the writing of a real video signal and writing in a precharge video signal. Thereby, other nonconformities, such as a ghost and resolution degradation, are improvable. A lot [the on resistance of a level switch, or the capacity of a signal line], when the sampling period of a real video signal is extremely short, it may be unable to change from precharge attainment level to the potential level of a real video signal. For example, when a simultaneous sampling is performed as 1 set, if a sampling period is dramatically short, the so-called ghost will generate three signal lines. In this point and this invention, since it is equivalent to the ON time amount of a level switch having doubled, a ghost can be controlled.

[0007]

[Example] With reference to a drawing, the suitable example of this invention is explained to a detail below. Drawing 1 is the circuit diagram showing one example of the active-matrix display concerning this invention. This equipment is equipped with the liquid crystal pixel LC of the letter of a matrix allotted to each intersection of the gate line G of behavior, the train-like signal line S, and both. Although it has the pixel LC which used liquid crystal as electrooptic material in this example, this invention is not restricted to this and may use other electrooptic material. Corresponding to each liquid crystal pixel LC, the thin film transistor Tr for actuation is formed. The source electrode of a thin film transistor Tr is connected to the corresponding signal line S, a gate electrode is connected to the corresponding gate line G, and the drain electrode is connected to the corresponding liquid crystal pixel LC.

[0008] The V shift register 1 is formed and the vertical-scanning circuit which carries out line sequential scanning of each gate line G, and chooses the liquid crystal pixel LC for a party for every 1 level period is constituted. The V shift register 1 carries out the sequential transfer of the vertical start signal VST mutually synchronizing with the vertical clock signal VCK of an opposite phase, and VCKX, and, specifically, outputs the selection pulse V1 and --Vm to each gate line G. Thereby, closing motion control of the thin film transistor Tr is carried out.

[0009] Moreover, it has the H shift register 2, and the sequential sampling of the real video signal is carried out within a 1 level period at each signal line S, and a real video signal is written in the liquid crystal pixel LC for the selected party by point sequential. Specifically the level switches HSW1, HSW2, and HSW3, --, HSWn are prepared in the

end of each signal line S, it connects with the video line 3, and supply of a real video signal is received. On the other hand, the H shift register 2 carries out the sequential transfer of the level start signal HST mutually synchronizing with the level clock signal HCK of an opposite phase couple, and HCKX, and outputs sampling pulses H1, H2, H3, --, Hn. These sampling pulses carry out closing motion control of the corresponding level switch, and carry out the sampling hold of the real video signal at each signal line S. Thus, the horizontal scanning circuit 4 consists of combination of the H shift register 2 and the level switch HSW.

[0010] The precharge means 5 is established as a description matter of this invention, the 1st precharge signals are supplied all at once to all the signal lines S at the blanking period preceded with a level period, it precedes with the sequential sampling of the real video signal over each [in a level period] signal line S further, and sequential supply of the 2nd precharge signal is carried out at each signal line S. Both these 1st precharge signal and the 2nd precharge signal are included in the precharge video signal, and are supplied from the outside through the precharge line 6. Specifically, the precharge means 5 has the precharge switches PSW1 and PSW2 linked to the edge of each signal line S, --, PSWn. Moreover, it has the P shift register 7, and sequential closing motion control of the precharge switch PSW is carried out, and the 2nd precharge signal is supplied to each signal line S. The P shift register 7 has the same configuration as the H shift register 2, carries out the sequential transfer of the level start signal PST mutually synchronizing with the level clock signal PCK of the couple of an opposite phase, and PCKX, and still more specifically outputs the sampling pulses P1, P2, P3, --, Pn for precharge. According to the sampling pulse for these precharge, sequential closing motion control of the level switch PSW is carried out. Furthermore, the gate 8 intervenes between the switching means which consist of a P shift register 7 and two or more PSW. This gate 8 includes the series connection of each stage of the P shift register 7, and the inverter component 9 and the NOR gate component 10 which intervenes between corresponding PSW. The control signal PCG is supplied to one terminal of each NOR gate component 10 from the outside, and the 1st precharge signals are supplied all at once to all the signal lines S according to this. That is, the sampling pulse P outputted from the P shift register 7 and the keying signals PP1, PP2, PP3, --, PPn with which the control signal PCG was compounded are impressed to each switch PSW. Thus, they carry out sequential closing motion control of the switch PSW of the plurality in a level period, and supply the 2nd precharge signal to each signal line S while the P shift register 7 and the gate 8 constitute the control means, carry out closing motion control of two or more switches PSW all at once according to the control signal PCG outputted during a blanking period and supply the 1st precharge signal to each signal line S.

[0011] Drawing 2 is the typical wave form chart showing an example of a real video signal and a precharge video signal. A polarity reverses a real video signal for every 1

level period focusing on the predetermined reference potential V_o . The maximum amplitude V_B is about $\pm 4.5V$. In the case of a normally white mode, a black display is performed when the absolute value of V_B is in the greatest level. As for a real video signal, the wave in which the signal HBLK of black level is included and is actually written after that continues during a blanking period. On the other hand, the precharge video signal has the same wave as substantially as a real video signal. Namely, a polarity is reversed for every 1 level period focusing on a reference potential V_o . However, the level $\pm 4.5V$ is set as medium level, and the signal PBLK included during a blanking period is used as the 1st precharge signal. The electrical potential difference $\pm 4.5V$ of PBLK is set as about 2.5V in the absolute value. The wave following PBLK is used as the 2nd precharge signal.

[0012] Next, with reference to the timing chart of drawing 3, actuation of the active-matrix display shown in drawing 1 is explained to a detail. First, the control signal PCG supplied to the gate 8 is supplied from the outside during a blanking period synchronizing with the 1st precharge signal PBLK mentioned above. Then, similarly level start signal PST is supplied to the P shift register 7 from the outside. Furthermore, it is delayed by the predetermined pixel to PST, and level start signal HST is inputted into the H shift register 2 from the exterior. In addition, the level clock signal PCK and PCKX are supplied to the P shift register 7, and the level clock signal HCK and HCKX are supplied to the H shift register 2. In this example, HCK and PCK use the same wave so that it may illustrate. Similarly, HCKX and PCKX are also the same waves and serve as relation of an opposite phase to HCKPCK.

[0013] Now, the potential is expressed with V_{sigk} paying attention to the k -th signal line X . If PST inputs into the P shift register 7, a sequential transfer will be carried out by PCK and PCKX and the sampling pulse P_k corresponding to the k -th signal line X will be outputted to a certain timing. Similarly, the sequential transfer of the HST inputted into the H shift register 2 is carried out by HCK and HCKX, and the sampling pulse H_k corresponding to the k -th signal line S is outputted to a certain timing. H_k is answered, HSW_k opens and closes and a real video signal is sampled by the k -th signal line. It precedes with this, PSW_k which answers and corresponds to P_k opens and closes, and the 2nd precharge signal is sampled by the k -th signal line. At this time, OR gate 8 intervenes between PSW_k and the P shift register 7. That is, OR with the k -th outputs P_k and PCG of the P shift register 7 is taken, and PP_k is eventually supplied to PSW . This PP_k contains PCG outputted during a blanking period, and closing motion control of each PSW is carried out all at once. Thereby, the 1st precharge signals PBLK are supplied all at once to all the signal lines S at the blanking period preceded with a level period. Then, it precedes with the sequential sampling of the real video signal over each [in a level period] signal line S , and sequential supply of the 2nd precharge signal is carried out at each signal line S .

[0014] By performing precharge crossed to such two steps, the potential V_{sigk} of the

k-th signal line changes like a graphic display. First, the 1st precharge signal PBLK is written in according to PCG, and signal-line potential rises to ****. After this potential is held for a time, the 2nd precharge signal is written in synchronizing with Pk. In this example, the potential of the 2nd precharge signal serves as Vb. After this level is held for a time, a real video signal is written in synchronizing with Hk. In this example, this real video signal also has the potential of Vb. Then, signal-line potential is held for a time, and shifts to the next level period. Thus, in this invention, the signal-line potentials Vsig are raised to a gray level all at once synchronizing with a control signal PCG. Then, synchronizing with Pk, a precharge video signal is written in before the timing of Hk of inputting a real video signal. In short, when writing in a real video signal, it changes into the condition of almost burying the potential difference of about 100mV of numbers. thus -- if it carries out -- the potential shake at the time of the charge and discharge of a real video signal -- abbreviation -- since it is lost thoroughly, the vertical reinforcement which had become a problem conventionally can be controlled notably. In addition, vertical start signal PST and the precharge video signal for precharge are synchronized mutually. Similarly, it is necessary to also synchronize HST and a real video signal mutually. Moreover, as the 1st precharge signal in a blanking period, blanking signal PBLK contained in a precharge video signal is used, and it is set as the gray level. The thing of a same waveform is used for a precharge video signal and a real video signal except for a blanking period. However, the source of a signal which supplies a real video signal and a precharge video signal is prepared independently. If only point sequential precharge is performed, since a gate line and an auxiliary capacity line shake at the time of point sequential scanning, shading etc. will come out. In view of this point, by this invention, it precedes with point sequential scanning, simultaneous precharge is performed, and a control signal PCG is supplied from the exterior for this object. Since there are two, a point sequential precharge period and a dot order following fruit video-signal write-in period, when writing in one line of a signal line, it becomes that the ON time amount of HSW doubles, and equivalence, and, thereby, a ghost can also improve. It is equivalent to having doubled the video line of a real video signal.

[0015] Drawing 4 is the circuit diagram showing the concrete example of a configuration of the active-matrix display shown in drawing 1 . In order to make an understanding easy, the corresponding reference number is given to the corresponding part. Each HSW consists of a transmission gate component in this example. It is impressed by HH1, HH2, HH3, --, HSW that carries out a next door response through the sampling pulses H1, H2, and H3 by which the sequential output was carried out, --, the ** clock gate 21 and a buffer 22 from the H shift register 2. In addition, since a transmission gate component is driven, the signal of HH and an opposite phase is also impressed simultaneously. According to a sampling pulse H, the switching action of the clock gate 21 is carried out, it samples CK and CKX which

were inputted from the outside, and supplies them to a buffer 22. namely, -- this example -- H1, H2, H3, and -- direct -- using -- every -- HSW -- closing motion control -- not carrying out -- once -- CK and CKX -- this H1, H2, H3, --, after coming out and choosing -- HH1, HH2, HH3, and -- carrying out -- every -- closing motion control of HSW is performed. H1, H2, H3 and -- which are outputted from the H shift register 2, and since delay and distortion have arisen in *****, this was not directly used for closing motion control of HSW, but it once shaped in waveform through the clock gate 21, and HH1, HH2, HH3, and -- have been obtained. Since it is created based on these [HH1, HH2, and HH3], --, CK that has produced neither ***** nor distortion, and CKX, precise closing motion control of HSW can be performed. Similarly, it is used for closing motion control of the ** clock gate 23, and the sampling pulses P1, P2, and P3 outputted from the P shift register 7, --, CK which passed through this gate 23, and CKX consider as PP1, PP2, PP3, and --, and are used for closing motion control of each PSW. In addition, the gate 8 intervenes between the clock gate 23 and each PSW, and PCG is added to each PP1, PP2 and PP3, and --.

[0016] Actuation of the active-matrix display finally shown in drawing 4 with reference to the timing chart of drawing 5 is explained to a detail. PCG is outputted during a blanking period and the ON time amount is taken by several dots (several bits). Thereby, the 1st precharge signal can be written in enough. CK, HCK, and PCK use the same wave. Similarly, CKX, HCKX, and PCKX also use the same wave. Each of these is supplied from an external timing generator. After PCG is outputted, PST is supplied from the outside, and HST is supplied with after that predetermined phase contrast. The P shift register 7 carries out the sequential transfer of the PST synchronizing with PCK and PCKX, and outputs the sampling pulses P1, P2, and P3 for precharge, and --. Similarly, the H shift register 2 carries out the sequential transfer of the HST synchronizing with HCK and HCKX, and carries out the sequential output of the sampling pulses H1, H2, and H3 of a real video signal, and --. The clock gate 23 passes CK and CKX selectively according to P1, P2, P3, and --, and supplies PP1, PP2, PP3, and -- to each PSW. At this time, OR gate 8 is adding PCG to PP1, PP2, PP3, and --. On the other hand, the clock gate 21 by the side of the H shift register 2 passes CK and CKX selectively according to H1, H2, H3, and --, and is generating the final sampling pulses HH1, HH2, and HH3. The pulse PCG for simultaneous precharge has the ON time amount for several bits, and the sampling pulse for point sequential precharge has the pulse width for 1 bit so that clearly from the timing chart of a graphic display. On the other hand, the sampling pulse of a real video signal serves as pulse width for 1 bit. Although the ON time amount of PSW may be taken by 1-several bits, he is trying only for the amount of 1 bit not to take the ON time amount of HSW generally. Thereby, when carrying out the simultaneous sampling of two or more bits, the ghost who had become a problem conventionally can be

controlled effectively.

[0017] Change of the potential V_{sig1} of the 1st signal line is shown under No. 1 of the timing chart of drawing 5. The 1st precharge signal is written in according to PCG. After this level is held for a time, the 2nd precharge signal is written in according to PP1. After this level is held for a time, a real video signal is written in according to HH1. The level written in eventually is held during a 1 level period.

[0018]

[Effect of the Invention] Like, according to this invention, after [which was explained above] performing 1st precharge during a blanking period, 2nd precharge is performed by point sequential during the level period. Therefore, in the phase which writes in a real video signal, since signal-line potential has reached abbreviation completeness at real video-signal potential level, there is no shake of signal potential and fixed patterns, such as a vertical reinforcement, can be improved. Moreover, since simultaneous precharge is performed in advance of point sequential precharge, the potential shake produced in the case of point sequential precharge is also cancelable. For this reason, precharge of a perfect dot sequential system can be attained and shading which had become a problem conventionally is lost. Furthermore, a ghost, resolution degradation, etc. can be reduced for having doubled the ON time amount of a level switch, and equivalence.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the fundamental configuration of the active-matrix indicating equipment concerning this invention.

[Drawing 2] It is the wave form chart with which explanation of the active-matrix display shown in drawing 1 of operation is presented.

[Drawing 3] It is the timing chart with which explanation of the active-matrix indicating equipment shown in drawing 1 of operation is presented.

[Drawing 4] It is the circuit diagram showing the concrete example of a configuration of the active-matrix display shown in drawing 1.

[Drawing 5] It is the timing chart with which explanation of the active-matrix indicating equipment shown in drawing 4 of operation is presented.

[Drawing 6] It is the block diagram showing an example of the conventional active-matrix indicating equipment.

[Drawing 7] It is the wave form chart with which technical-problem explanation of the conventional active-matrix display is presented.

[Description of Notations]

- 1 V Shift Register
- 2 H Shift Register
- 4 Horizontal Scanning Circuit
- 5 Precharge Means
- 7 P Shift Register
- 8 Gate

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-286639

(43) 公開日 平成8年(1996)11月1日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0

審査請求 未請求 請求項の数 3 F D (全 10 頁)

(21) 出願番号 特願平7-110179

(22) 出願日 平成7年(1995)4月11日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

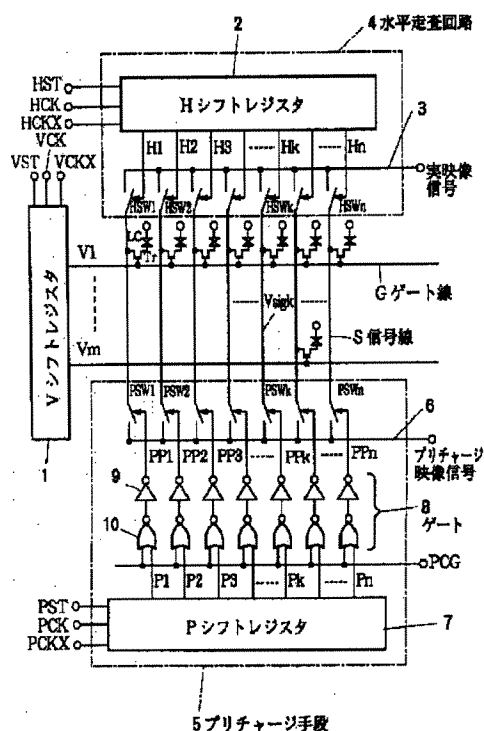
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 アクティブマトリクス表示装置

(57) 【要約】

【目的】 アクティブマトリクス表示装置の点順次駆動における信号線の電位揺れを防止する。

【構成】 アクティブマトリクス表示装置は行状のゲート線Gと、列状の信号線Sと、両者の各交差部に配された行列状の画素LCとを備えている。又、Vシフトレジスタ1を含んでおり、各ゲート線Gを線順次走査し一水平期間毎に一行分の画素LCを選択する。さらに、水平走査回路4を備えており、一水平期間内で実映像信号を各信号線Sに順次サンプリングし、サンプリングされた一行分の画素LCに点順次で実映像信号の書き込みを行なう。特徴事項として、プリチャージ手段5を含んでおり、水平期間に先行するブランキング期間に第1プリチャージ信号を全信号線Sに対して一斉に供給し、さらに水平期間中各信号線Sに対する実映像信号の順次サンプリングに先行して第2プリチャージ信号を各信号線Sに順次供給する。



【特許請求の範囲】

【請求項 1】 行状のゲート線と、列状の信号線と、両者の各交差部に配された行列状の画素と、各ゲート線を線順次走査し一水平期間毎に一行分の画素を選択する垂直走査回路と、一水平期間内で映像信号を各信号線に順次サンプリングし選択された一行分の画素に点順次で映像信号の書き込みを行なう水平走査回路とを有するアクティブマトリクス表示装置であって、

水平期間に先行するブランキング期間に第 1 プリチャージ信号を全信号線に対して一斉に供給し、さらに水平期間中各信号線に対する映像信号の順次サンプリングに先行して第 2 プリチャージ信号を各信号線に順次供給するプリチャージ手段を備えた事を特徴とするアクティブマトリクス表示装置。

【請求項 2】 前記プリチャージ手段は、所定電位を有する第 1 プリチャージ信号を一斉供給した後、映像信号と実質的に同一の波形を有する第 2 プリチャージ信号を順次供給する事を特徴とする請求項 1 記載のアクティブマトリクス表示装置。

【請求項 3】 前記プリチャージ手段は、個々の信号線の端部に接続した複数のスイッチ手段と、各スイッチ手段の開閉制御を行なう制御手段とを備えており、該制御手段はブランキング期間に該複数のスイッチを一斉に開閉制御して第 1 プリチャージ信号を各信号線に供給し、水平期間中該複数のスイッチを順次開閉制御して第 2 プリチャージ信号を各信号線に供給する事を特徴とする請求項 1 記載のアクティブマトリクス表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアクティブマトリクス表示装置に関する。より詳しくは、点順次駆動におけるビデオ信号ラインの電位揺れ防止技術に関する。

【0002】

【従来の技術】 図 6 を参照して従来のアクティブマトリクス表示装置の構成を簡潔に説明する。アクティブマトリクス表示装置は行状のゲート線 G と、列状の信号線 S と、両者の各交差部に配された行列状の液晶画素 LC とを有している。個々の液晶画素 LC は薄膜トランジスタ T_r により駆動される。V シフトレジスタ（垂直走査回路）101 は各ゲート線 G を線順次走査し一水平期間

（1H）毎に一行分の液晶画素 LC を選択する。H シフトレジスタ（水平走査回路）102 は 1H 内で映像信号を各信号線 S に順次サンプリングし、選択された一行分の液晶画素 LC に点順次で映像信号の書き込みを行なう。具体的には、各信号線 S は水平スイッチ HSW を介してビデオラインに接続されシグナルドライバ 103 から映像信号の供給を受ける一方、H シフトレジスタ 102 は順次水平サンプリングパルス H_1 , H_2 , H_3 , ..., H_n を出力し各水平スイッチ HSW の開閉制御を行なう。

【0003】

【発明が解決しようとする課題】 図 7 はサンプリングパルスの波形を表わしている。アクティブマトリクス表示装置の高精細化が進むにつれてサンプリングレートが高速化され、サンプリングパルス幅 τ_H がばらつくようになる。サンプリングパルスが出力されると対応する水平スイッチ HSW が開閉されビデオラインから映像信号が対応する信号線 S にサンプリングホールドされる。各信号線 S には容量成分があり映像信号のサンプリングにより充放電が生じる。この結果ビデオラインの電位が変動する。前述した様にサンプリングレートが高速化するとサンプリングパルス幅 τ_H がばらつく為各信号線 S に対する充放電が一定せず、ビデオラインの電位が揺れる。これが縦筋の固定パタンとなって現われ表示画像品位を著しく損なうという課題がある。通常の NTSC 規格に従った表示の場合、サンプリングレートは比較的低くビデオラインの電位揺れが始まってから次のサンプリングパルスが立ち下がるタイミングとなる為、前の信号線に悪影響を与えないので縦筋の固定パタンは現われない。しかしながら、HDTV や倍速 NTSC になると、サンプリングレートは極端に上昇しビデオラインの電位揺れを有効に抑えるのが困難な状況にある。サンプリングパルスは一般に薄膜トランジスタ (TFT) で構成された H シフトレジスタで作成される。TFT は単結晶シリコントランジスタに比べ移動度が低く又各物理定数のばらつきも大きい為、この回路で作られるサンプリングパルスを精密に制御する事は困難である。又、サンプリングパルス幅のばらつきに加え、水平スイッチ HSW のオン抵抗にもある程度ばらつきが生じる。これにより、信号線 S の充放電特性に変動が生じ、ビデオラインの電位が揺れる為、これが実際の映像信号に重畳され縦筋状になって現われ画像の表示品位を著しく損なう。

【0004】

【課題を解決するための手段】 上述した従来の技術の課題に鑑み、本発明はサンプリングレートの高速化に伴って発生するビデオラインの電位揺れを効果的に抑制する事を目的とする。かかる目的を達成する為に以下の手段を講じた。即ち、本発明にかかるアクティブマトリクス表示装置は基本的な構成として、行状のゲート線と、列状の信号線と、両者の各交差部に配された行列状の画素とを備えている。又垂直走査回路を備えており、各ゲート線を線順次走査し一水平期間毎に一行分の画素を選択する。さらに水平走査回路を備えており、一水平期間内で映像信号を各信号線に順次サンプリングし、選択された一行分の画素に点順次で映像信号の書き込みを行なう。本発明の特徴事項としてプリチャージ手段を備えており、水平期間に先行するブランキング期間に第 1 プリチャージ信号を全信号線に対して一斉に供給し、さらに水平期間中各信号線に対する映像信号の順次サンプリングに先行して第 2 プリチャージ信号を各信号線に順次供

給する。好ましくは、前記プリチャージ手段は、所定電位を有する第1プリチャージ信号を一斉供給した後、映像信号と実質的に同一の波形を有する第2プリチャージ信号を順次供給する。具体的な構成としては、前記プリチャージ手段は、個々の信号線の端部に接続した複数のスイッチ手段と、各スイッチ手段の開閉制御を行なう制御手段とを備えている。該制御手段はブランキング期間に該複数のスイッチを一斉に開閉制御して第1プリチャージ信号を各信号線に供給し、水平期間中該複数のスイッチを順次開閉制御して第2プリチャージ信号を各信号線に供給する。

【0005】

【作用】本発明によれば、各信号線の充放電は2段階に分けた第1プリチャージ信号及び第2プリチャージ信号で殆ど済ませてしまい、実際の映像信号（以下実映像信号）をサンプリングする場合の充放電はプリチャージレベルと信号レベルの差分のみで発生する構成となっている。従って、従来に比し実映像信号を供給するビデオラインの電位揺れが抑制され、画像品位上問題となる縦筋の固定パターンを除去できる。特に、2段階方式のプリチャージを行なっており、先ずブランキング期間に第1プリチャージ信号を全信号線に対して一斉に供給し、大まかな充放電を実行する。この為、第1プリチャージ信号は例えばグレイレベルの一定電位を有している。この後、第2段階で水平期間中各信号線に対する実映像信号の順次サンプリングに先行して第2プリチャージ信号を各信号線に順次供給し、細かな充放電を実行する。この為、第2プリチャージ信号は実映像信号と実質的に同一の波形を有するプリチャージ映像信号が用いられる。この様に、大まかな充放電と細かな充放電を2段階に分けて行なう事により、ビデオラインの電位揺れを顕著に抑制できる。仮に、グレイレベルの第1プリチャージ信号の一斉プリチャージのみを行なうと、実映像信号が白レベルもしくは黒レベルの近傍にある時、一斉プリチャージによって得られたグレイレベルから依然として大きな電位差が生じる。従って、ビデオラインの電位揺れを抑制するには不十分な事態が生じる。又、仮に第2プリチャージ信号の点順次プリチャージのみを行なうと、これ自体で電位揺れが生じる。即ち、点順次プリチャージにより信号線とゲート線との間の容量カップリングでゲート線の電位が揺れ、これが信号線の電位に影響を与え、シェーディング等の画像劣化が生じる。以上の様に、一斉プリチャージと点順次プリチャージの一方のみでは画像品位の低下を完全に防止する事は困難であり、両者を併用して初めて縦筋やシェーディング等の不具合を除去できる。

【0006】さらに、実映像信号の書き込みに先行してプリチャージ映像信号を書き込む事により、各信号線に接続した水平スイッチのオン時間が等価的に2倍になる。これにより、ゴーストや解像度劣化等他の不具合も

改善できる。水平スイッチのオン抵抗や信号線の容量が大きく、且つ実映像信号のサンプリング期間が極端に短い場合、プリチャージ到達レベルから実映像信号の電位レベルに変化しきれない場合がある。例えば、3本の信号線を1組として同時サンプリングを行なった場合、サンプリング期間が非常に短いと所謂ゴーストが発生してしまう。この点、本発明では水平スイッチのオン時間が2倍になった事と等価である為、ゴーストを抑制できる。

【0007】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかるアクティブマトリクス表示装置の一実施例を示す回路図である。本装置は行状のゲート線Gと、列状の信号線Sと、両者の各交差部に配された行列状の液晶画素LCとを備えている。本実施例では電気光学物質として液晶を利用した画素LCを備えているが、本発明はこれに限られるものではなく他の電気光学物質を用いても良い。個々の液晶画素LCに対応して駆動用の薄膜トランジスタTrが設けられている。薄膜トランジスタTrのソース電極は対応する信号線Sに接続され、ゲート電極は対応するゲート線Gに接続され、ドレイン電極は対応する液晶画素LCに接続されている。

【0008】Vシフトレジスタ1が設けられており、各ゲート線Gを線順次走査し一水平期間毎に一行分の液晶画素LCを選択する垂直走査回路を構成する。具体的には、Vシフトレジスタ1は互いに逆相の垂直クロック信号VCK、VCKXに同期して垂直スタート信号VSTを順次転送し、選択パルスV1、…Vmを各ゲート線Gに出力する。これにより、薄膜トランジスタTrが開閉制御される。

【0009】又、Hシフトレジスタ2を備えており、一水平期間内で実映像信号を各信号線Sに順次サンプリングし、選択された一行分の液晶画素LCに点順次で実映像信号の書き込みを行なう。具体的には、各信号線Sの一端には水平スイッチHSW1、HSW2、HSW3、…、HSWnが設けられており、ビデオライン3に接続され実映像信号の供給を受ける。一方Hシフトレジスタ2は互いに逆相な一対の水平クロック信号HCK、HCKXに同期して水平スタート信号HSTを順次転送し、サンプリングパルスH1、H2、H3、…、Hnを出力する。これらのサンプリングパルスは対応する水平スイッチを開閉制御し、個々の信号線Sに実映像信号をサンプリングホールドする。この様に、Hシフトレジスタ2と水平スイッチHSWの組み合わせで水平走査回路4が構成される。

【0010】本発明の特徴事項としてプリチャージ手段5が設けられており、水平期間に先行するブランキング期間に第1プリチャージ信号を全信号線Sに対して一斉に供給し、さらに水平期間中各信号線Sに対する実映像

信号の順次サンプリングに先行して第2プリチャージ信号を各信号線Sに順次供給する。これら第1プリチャージ信号と第2プリチャージ信号は共にプリチャージ映像信号に含まれており、プリチャージライン6を介して外部から供給される。具体的には、プリチャージ手段5は個々の信号線Sの端部に接続したプリチャージスイッチPSW1, PSW2, ..., PSWnを有している。又、Pシフトレジスタ7を有しており、プリチャージスイッチPSWを順次開閉制御して各信号線Sに第2プリチャージ信号を供給する。さらに具体的には、Pシフトレジスタ7はHシフトレジスタ2と同様の構成を有しており、互いに逆相の一对の水平クロック信号PCK, PCKXに同期して水平スタート信号PSTを順次転送し、プリチャージ用のサンプリングパルスP1, P2, P3, ..., Pnを出力する。これらプリチャージ用のサンプリングパルスに応じて水平スイッチPSWが順次開閉制御される。さらに、Pシフトレジスタ7と複数のPSWからなるスイッチ手段との間にゲート8が介在している。このゲート8はPシフトレジスタ7の各段と、対応するPSWとの間に介在するインバータ素子9とノアゲート素子10との直列接続を含む。各ノアゲート素子10の一方の端子には制御信号PCGが外部から供給されており、これに応じて第1プリチャージ信号が全信号線Sに対して一斉に供給される。即ち、各スイッチPSWにはPシフトレジスタ7から出力されたサンプリングパルスPと制御信号PCGとが合成された開閉信号PP1, PP2, PP3, ..., PPnが印加される。この様に、Pシフトレジスタ7とゲート8は制御手段を構成しており、ブランキング期間中に出力される制御信号PCGに応じて複数のスイッチPSWを一斉に開閉制御して第1プリチャージ信号を各信号線Sに供給すると共に、水平期間中複数のスイッチPSWを順次開閉制御して第2プリチャージ信号を各信号線Sに供給する。

【0011】図2は、実映像信号とプリチャージ映像信号の一例を示す模式的な波形図である。実映像信号は所定の基準電位Voを中心として一水平期間毎に極性が反転する。その最大振幅VBは例えば±4.5V程度である。ノーマリホワイトモードの場合、VBの絶対値が最大のレベルにある時黒色表示が行なわれる。実映像信号はブランキング期間中に黒色レベルの信号HBLKが含まれ、その後実際に書き込まれる波形が続く。一方、プリチャージ映像信号は、実映像信号と実質的に同一の波形を有している。即ち、基準電位Voを中心として一水平期間毎に極性が反転する。但し、ブランキング期間中に含まれる信号PBLKはそのレベルVpが中間レベルに設定されており、第1プリチャージ信号として用いられる。PBLKの電圧Vpは例えば絶対値で2.5V程度に設定されている。PBLKに続く波形は第2プリチャージ信号として用いられる。

【0012】次に図3のタイミングチャートを参照し

て、図1に示したアクティブマトリクス表示装置の動作を詳細に説明する。先ず、ゲート8に供給される制御信号PCGは前述した第1プリチャージ信号PBLKに同期してブランキング期間中に外部から供給される。その後、Pシフトレジスタ7に水平スタート信号PSTが同じく外部から供給される。さらに、PSTに対して所定画素分遅延してHシフトレジスタ2に外部から水平スタート信号HSTが入力される。なお、Pシフトレジスタ7には水平クロック信号PCK, PCKXが供給され、Hシフトレジスタ2には水平クロック信号HCK, HCKXが供給される。本例では、HCKとPCKは図示する様に同一の波形を用いている。同様に、HCKXとPCKXも同一の波形であり、HCK, PCKに対して逆相の関係となっている。

【0013】今、k番目の信号線Xに着目し、その電位をVsigkで表わす。Pシフトレジスタ7にPSTが入力すると、PCK, PCKXにより順次転送され、あるタイミングでk番目の信号線Xに対応したサンプリングパルスPkが出力される。同様に、Hシフトレジスタ2に入力されたHSTはHCK, HCKXにより順次転送され、あるタイミングでk番目の信号線Sに対応したサンプリングパルスHkが出力される。HkにตอบสนองしてHSWkが開閉し、実映像信号がk番目の信号線にサンプリングされる。これに先行して、Pkにตอบสนองし対応するPSWkが開閉してk番目の信号線に第2プリチャージ信号がサンプリングされる。この時PSWkとPシフトレジスタ7との間にオアゲート8が介在している。即ち、Pシフトレジスタ7のk番目の出力PkとPCGとのオアがとられ、最終的にPSWにはPPkが供給される。このPPkはブランキング期間中に出力されるPCGを含んでおり、各PSWは一斉に開閉制御される。これにより、水平期間に先行するブランキング期間に第1プリチャージ信号PBLKが全信号線Sに対して一斉に供給される。この後、水平期間中各信号線Sに対する実映像信号の順次サンプリングに先行して第2プリチャージ信号が各信号線Sに順次供給される。

【0014】この様な2段階に渡るプリチャージを行なう事により、例えばk番目の信号線の電位Vsigkは図示の様に変化する。先ず、PCGに応じて第1プリチャージ信号PBLKが書き込まれ、信号線電位はVpまで上昇する。この電位は暫時ホールドされた後、Pkに同期して第2プリチャージ信号が書き込まれる。この例では、第2プリチャージ信号の電位がVbとなっている。このレベルが暫時ホールドされた後、Hkに同期して実映像信号が書き込まれる。本例では、この実映像信号もVbの電位を有している。この後、信号線電位は暫時ホールドされ、次の水平期間に移行する。この様に、本発明では制御信号PCGに同期して信号線電位Vsigを一斉にグレイレベルに持ち上げる。この後、実映像信号が入力されるHkのタイミングより前で、Pkに同

期してプリチャージ映像信号の書き込みを行なう。要するに、実映像信号を書き込む時には、殆ど数百mV程度の電位差を埋めるだけの状態にしておく。この様にすれば、実映像信号の充放電時の電位揺れが略完全になくなる為、従来問題となっていた縦筋を顕著に抑制できる。なお、プリチャージ用の垂直スタート信号PSTとプリチャージ映像信号は互いに同期化されている。同様に、HSTと実映像信号も互いに同期させる必要がある。又、ブランキング期間中における第1プリチャージ信号としては、プリチャージ映像信号に含まれるブランキング信号PBLKを用いておりグレイレベルに設定されている。プリチャージ映像信号と実映像信号は、ブランキング期間を除いて同一波形のものをを用いる。但し、実映像信号及びプリチャージ映像信号を供給する信号源は別に設ける。点順次プリチャージのみを行なうと、点順次走査時にゲート線や補助容量線が揺れる為シェーディング等ができる。この点に鑑み、本発明では点順次走査に先行して一斉プリチャージを行なっており、この目的で外部から制御信号PCGを供給する。信号線の1ラインを書き込む時、点順次プリチャージ期間と点順次実映像信号書き込み期間の2つがある為、HSWのオン時間が2倍になる事と等価になり、これによりゴーストも改善できる。実映像信号のビデオラインを2倍にした事と等価である。

【0015】図4は、図1に示したアクティブマトリクス表示装置の具体的な構成例を示す回路図である。理解を容易にする為、対応する部分には対応する参照番号を付してある。本例では、各HSWはトランスミッションゲート素子からなる。Hシフトレジスタ2から順次出力されたサンプリングパルスH1, H2, H3, …, はクロックゲート21及びバッファ22を介してHH1, HH2, HH3, …, となり対応するHSWに印加される。なお、トランスミッションゲート素子を駆動する為、HHと逆相の信号も同時に印加される。クロックゲート21はサンプリングパルスHに応じて開閉動作し、外部から入力されたCK, CKXをサンプリングしてバッファ22に供給する。即ち、本実施例ではH1, H2, H3, …, を直接用いて各HSWを開閉制御するのではなく、一旦CK, CKXをH1, H2, H3, …, で選択した後、これをHH1, HH2, HH3, …, として各HSWの開閉制御を行なっている。Hシフトレジスタ2から出力されるH1, H2, H3, …, は波形に遅延や歪が生じている為、これを直接HSWの開閉制御に用いるのではなく、一旦クロックゲート21を介して波形整形を行ないHH1, HH2, HH3, …, を得ている。これらHH1, HH2, HH3, …, は遅延や歪みの生じていないCK, CKXに基づいて作成される為、精密なHSWの開閉制御が行なえる。同様に、Pシフトレジスタ7から出力されたサンプリングパルスP1, P2, P3, …, はクロックゲート23の開閉制御

に用いられ、このゲート23を通過したCK, CKXがPP1, PP2, PP3, …, として各PSWの開閉制御に用いられる。なお、クロックゲート23と各PSWの間にはゲート8が介在しており、各PP1, PP2, PP3, …, にはPCGが付加される。

【0016】最後に図5のタイミングチャートを参照して図4に示したアクティブマトリクス表示装置の動作を詳細に説明する。PCGはブランキング期間中に出力され、そのオン時間は数ドット分(数ビット分)とられている。これにより、第1プリチャージ信号を十分書き込む事ができる。CK, HCK, PCKは同一の波形を用いている。同様に、CKX, HCKX, PCKXも同一の波形を用いている。これらは何れも外部のタイミングジェネレータから供給される。PCGが出力された後PSTが外部から供給され、その後所定の位相差をもってHSTが供給される。Pシフトレジスタ7はPCK, PCKXに同期してPSTを順次転送し、プリチャージ用のサンプリングパルスP1, P2, P3, …, を出力する。同様に、Hシフトレジスタ2はHCK, HCKXに同期してHSTを順次転送し、実映像信号のサンプリングパルスH1, H2, H3, …, を順次出力する。クロックゲート23はP1, P2, P3, …, に応じてCK, CKXを選択的に通過させ、PP1, PP2, PP3, …, を各PSWに供給する。この時、オアゲート8はPP1, PP2, PP3, …, にPCGを加えている。一方、Hシフトレジスタ2側のクロックゲート21はH1, H2, H3, …, に応じてCK, CKXを選択的に通過させ、最終的なサンプリングパルスHH1, HH2, HH3を生成している。図示のタイミングチャートから明らかな様に、一斉プリチャージ用のパルスPCGは数ビット分のオン時間を有し、点順次プリチャージ用のサンプリングパルスは1ビット分のパルス幅を有している。これに対し、実映像信号のサンプリングパルスは1ビット分のパルス幅となっている。一般に、PSWのオン時間は1～数ビット分とって良いが、HSWのオン時間は1ビット分しかとらない様にしている。これにより、複数ビットを同時サンプリングする場合従来問題となっていたゴーストを効果的に抑制できる。

【0017】図5のタイミングチャートの1番下に1番目の信号線の電位Vsig1の変化を示している。PCGに応じて第1プリチャージ信号が書き込まれる。このレベルは暫時ホールドされた後、PP1に応じて第2プリチャージ信号が書き込まれる。このレベルが暫時ホールドされた後、HH1に応じて実映像信号が書き込まれる。最終的に書き込まれたレベルは一水平期間中ホールドされる。

【0018】

【発明の効果】以上説明した様に、本発明によれば、ブランキング期間中に第1回目のプリチャージを行なった後、水平期間中に点順次で第2回目のプリチャージを行

なっている。従って、実映像信号を書き込む段階では、信号線電位が略完全に実映像信号電位レベルに到達している為、信号電位の揺れがなく縦筋等の固定パターンが改善できる。又、点順次プリチャージに先立って一斉プリチャージを行なっている為、点順次プリチャージの際に生じる電位揺れも解消できる。この為、完全な点順次方式のプリチャージを達成でき、従来問題となっていたシェーディング等もなくなる。さらに、水平スイッチのオン時間を2倍にした事と等価の為、ゴーストや解像度劣化等を低減できる。

【図面の簡単な説明】

【図1】本発明にかかるアクティブマトリクス表示装置の基本的な構成を示すブロック図である。

【図2】図1に示したアクティブマトリクス表示装置の動作説明に供する波形図である。

【図3】図1に示したアクティブマトリクス表示装置の

動作説明に供するタイミングチャートである。

【図4】図1に示したアクティブマトリクス表示装置の具体的な構成例を示す回路図である。

【図5】図4に示したアクティブマトリクス表示装置の動作説明に供するタイミングチャートである。

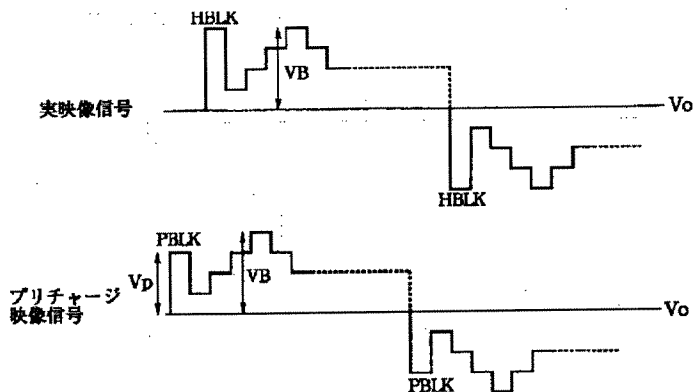
【図6】従来のアクティブマトリクス表示装置の一例を示すブロック図である。

【図7】従来のアクティブマトリクス表示装置の課題説明に供する波形図である。

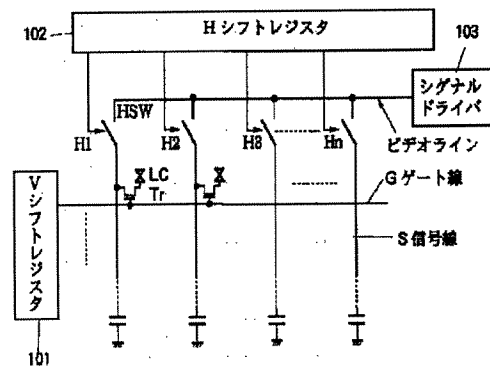
【符号の説明】

- 1 Vシフトレジスタ
- 2 Hシフトレジスタ
- 4 水平走査回路
- 5 プリチャージ手段
- 7 Pシフトレジスタ
- 8 ゲート

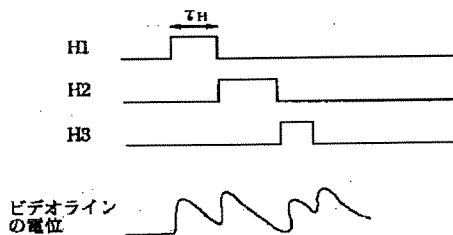
【図2】



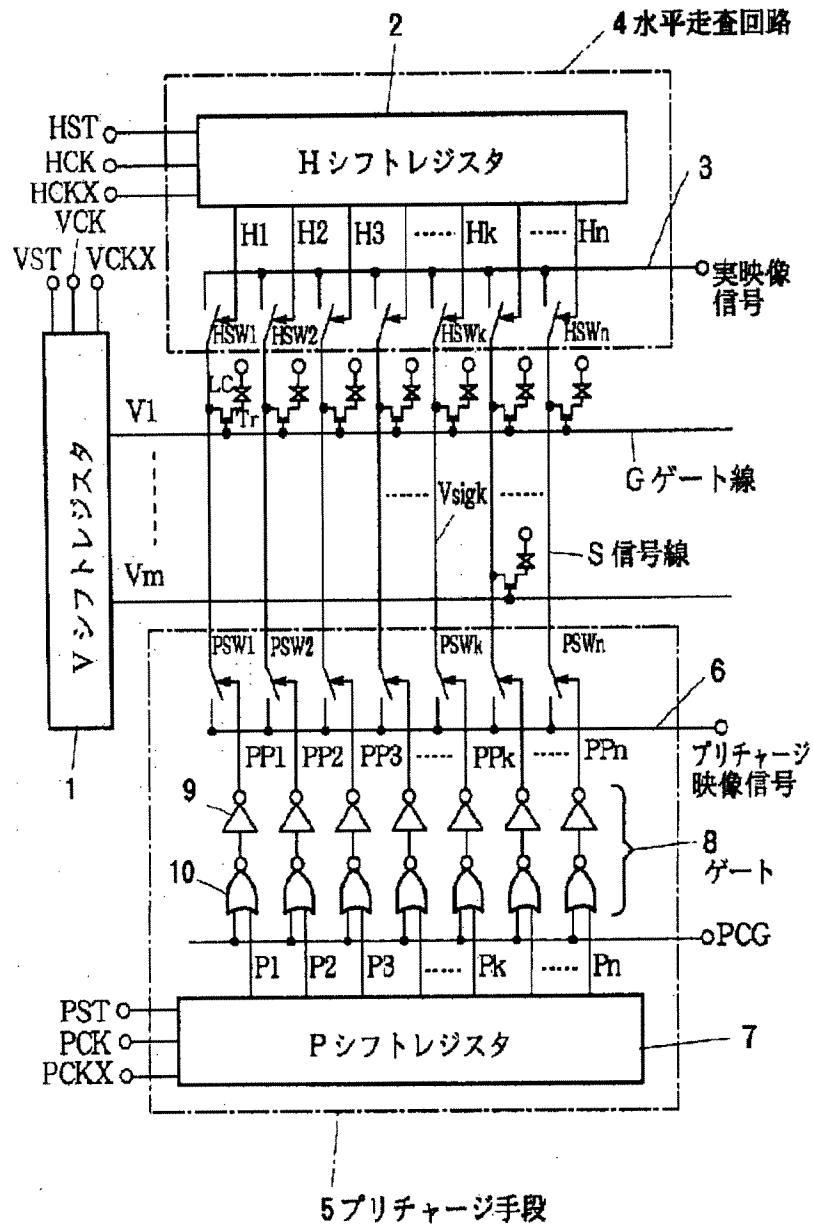
【図6】



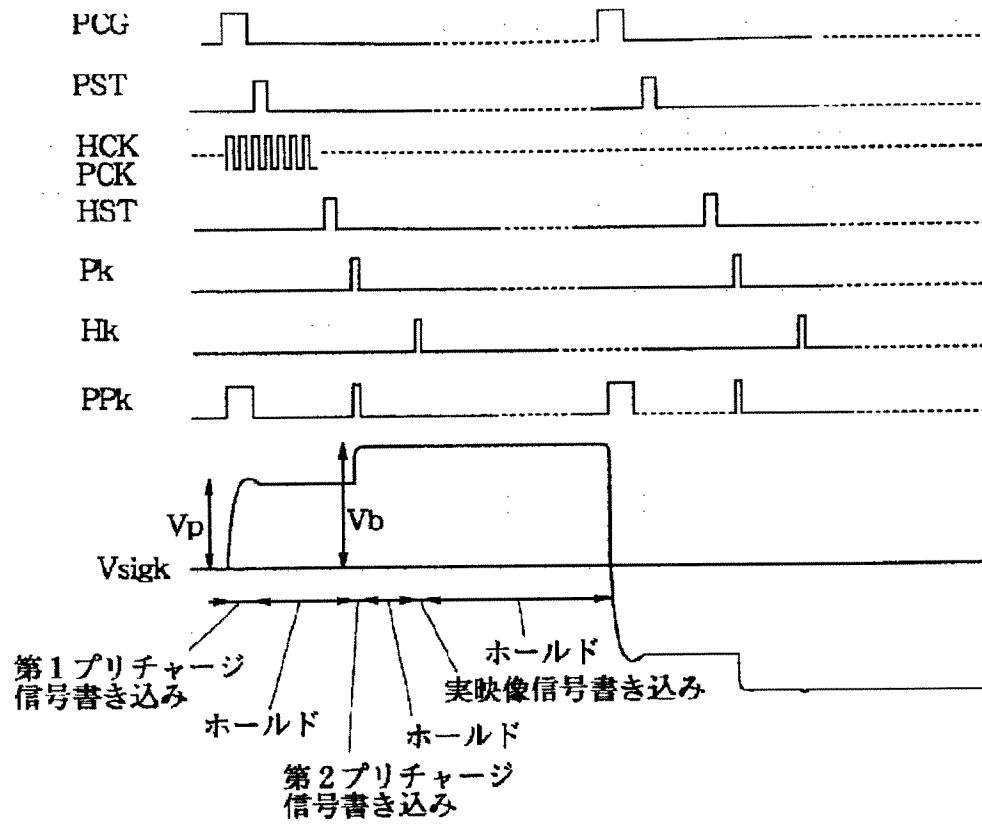
【図7】



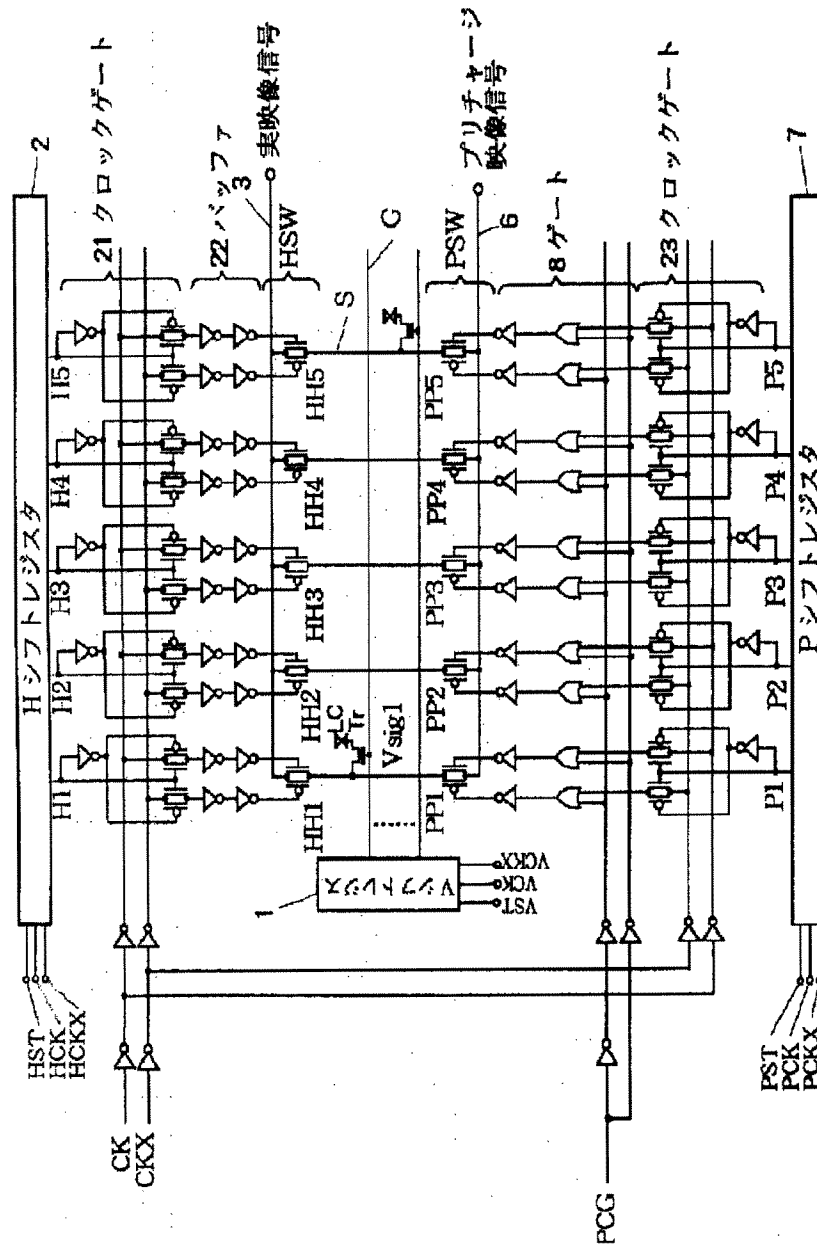
【図1】



【図3】



【図 4】



【図5】

